

Systemsimulation und Messungen an hochauflösenden Sigma-Delta Modulatoren

Peter Söser

Institut für Elektronik, TU-Graz
Inffeldgasse 12, 8020 Graz, Austria

Sigma-Delta (SD) Modulatoren stellen den wesentlichen Bestandteil von monolithisch integrierten SD-Analog/Digital-Umsetzern (SD-ADU) dar. Es gibt eine Vielfalt von Realisierungsvarianten für solche Modulatoren. Kriterien für die Auswahl sind neben der Komplexität vor allem die gewünschte Auflösung und die maximal umsetzbare Signalfrequenz. Eine Erhöhung der Auflösung erfordert eine Erhöhung der Ordnung des SD-Modulators. Mit einfachen Mitteln kann für eine derartige Architektur aber keine Aussage über die tatsächlichen Eigenschaften gemacht werden. Es bedarf einer Simulation auf Systemebene, um eine Charakterisierung vornehmen zu können. Dabei ist es notwendig, die in der Realität vorhandenen Nichtidealitäten der verwendeten Funktionsblöcke (Kondensatoren, Schalter, Operationsverstärker, Komparatoren etc.) mit zu berücksichtigen.

Am Institut für Elektronik der TU Graz wurde in einer Diplomarbeit, die in Zusammenarbeit mit der Firma *Austria Mikro Systeme International AG*. durchgeführt wurde, eine Modellierung dieser Nichtidealitäten erarbeitet. Sie wurde in der Simulationsumgebung MATLAB[®]/SIMULINK[®] implementiert, womit vernünftige Simulationszeiten und eine praktikable Auswertung der Ergebnisse möglich waren.

Um die Brauchbarkeit der Modellierung zu untersuchen wurde ein in 0,6 μm CMOS-Technologie realisierter Modulator 4-ter Ordnung mit einer nominellen SINAD (signal-to-noise and distortion) von 120 dB (entspricht einer Auflösung von 19,64 bit) auf Systemebene simuliert und diese Ergebnisse mit Messungen verglichen, die ebenfalls im Rahmen dieser Diplomarbeit durchgeführt wurden. Dabei konnte eine gute Übereinstimmung zwischen Simulation und Messung nachgewiesen werden.