

Ein ASIC für die Ausbildung an Integrierten Schaltungen

**P. Hinterberger, K. Jäger, W. Meusburger, J. Minichshofer, R. Röhler,
H. Senn, P. Söser
Institut für Elektronik, TU-Graz**

Der vorliegende Beitrag stellt ein ASIC vor, das am Institut für Elektronik der TU-Graz unter Mitwirkung von Studierenden entwickelt wurde. Diese Integrierte Schaltung enthält fünf voneinander unabhängige Teilprojekte: eine Teststruktur, die zur Demonstration prüfgerechter Entwurfsmethoden dient, einen Tastaturenkoder, zwei Komparatorschaltungen, eine EEPROM Teststruktur und eine modifizierte Padzelle. Alle Projektteile wurden auf einem Chip zusammengefügt und im Rahmen von UNICHIP/EUROCHIP gefertigt. Das fertige ASIC wird am Institut für die Ausbildung in „Testen Integrierter Schaltungen“ eingesetzt. Weiters werden die Erfahrungen und Ergebnisse, die mit der Entwicklung und Fertigung der Prototypenchips unter EUROCHIP gemacht wurden, zusammengefaßt.

1. Einleitung

Für die Ausbildung an Integrierten Schaltungen gilt besonders die Forderung nach der Verwendung industriegerechter Werkzeuge. Dies wird im EU-Projekt EUROCHIP stark unterstützt. Im Rahmen dieses Projekts wurden am Institut für Elektronik, TU-Graz, drei Projekte von Studenten und zwei Institutsarbeiten durchgeführt. Die fünf Designs wurden zu einem ASIC zusammengefügt, der in der Laborübung „Testen Integrierter Schaltungen“ eingesetzt wird. Das bietet den Studierenden die Möglichkeit, alle Aspekte des IC-Designs – vom Entwurf bis zum fertigen IC – kennenzulernen. Die folgenden Abschnitte beschreiben die einzelnen Teile dieses ASICs.

2. Teststruktur - Prüfgerechter IC-Entwurf

Der prüfgerechte Entwurf hat heute nicht nur aus der Sicht der IC-Entwicklung und -Fertigung eine sehr große Bedeutung, sondern auch aus der Sicht der Testbarkeit von ganzen Systemen. Moderne Leiterplattentechniken (z.B. SMD und Multilayer-Leiterplatten) machen es oft unmöglich, eine fertige Baugruppe, die aus einer Vielzahl von ICs besteht, effizient zu testen. Um dieses Problem zu lösen gibt es eine Reihe von Ansätzen. Grundvoraussetzung für ein erfolgreiches Konzept ist jedoch ein einheitlicher Standard, da zumeist ICs verschiedenster Hersteller auf einer Baugruppe eingesetzt werden. Aus diesem Grund haben sich im November 1985 auf Initiative der Firma Philips zahlreiche große Halbleiter-Hersteller und -Anwender zur *Joint Test Action Group (JTAG)* zusammengeschlossen, um eine verbindliche Testschnittstelle für ICs festzulegen [1], [2]. Damit die Testschnittstelle nach JTAG in der Ausbildung anhand von praktischen Beispielen erklärt werden kann, wurde am Institut für Elektronik eine Schaltung entworfen, welche mit allen nach JTAG vorgeschriebenen Schaltungsteilen und einem, nach dem Standard optionalen, internen Testpfad, ausgestattet ist. Als Funktion der Schaltung wurde eine einfache Ampelsteuerung gewählt, welche mit Hilfe von Logiksynthese-Programmen und automatischer Optimierung erstellt werden konnte. Der Overhead für die Testschnittstelle betrug dabei ca. 30%.

2.1. Prüfpfadtechnik nach JTAG

Die Hauptproblematik des Testens in Baugruppen besteht darin, daß die Pins der ICs bzw. die internen Knoten auf der fertigen Baugruppe nicht mehr zugänglich sind. Nach *JTAG* wird daher ein Testzugangsport (*Test Access Port - TAP*) mit vier externen Anschlüssen (TCK, TDI, TDO und TMS) definiert. TCK (Test Clock) dient als Takteingang, TDI (Test Data Input) und TDO (Test Data Output) als serieller Datenein- bzw. Datenausgang und TMS (Test Mode Select) als Steuereingang. Der *TAP* enthält neben einem Steuerwerk auch eine Reihe von Registern, unter denen sich auch das sog. *Boundary-Scan-Register* (Abb. 1) befindet. Dieses wird durch die *Boundary-Scan-Zellen* (Abb. 2) gebildet, von denen je eine zu jedem Pin des ICs gehört. Dadurch wird jeder Pin des ICs über die Testschnittstelle zugänglich gemacht.

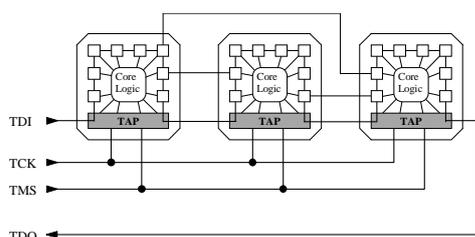


Abb. 1: Boundary-Scan-Register

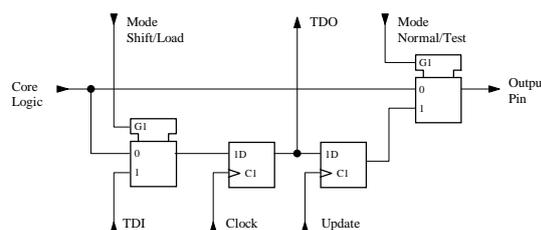


Abb. 2: Boundary-Scan-Zelle (Ausgang)

Die Steuersignale für die *Boundary-Scan-Zellen* werden vom *TAP* generiert. Die wichtigsten Betriebsarten sind der externe Test, der interne Test und der interne Prüfpfad.

- **Externer Test:** Dies ist die wichtigste Betriebsart für den Baugruppentest. Der *Boundary-Scan* wird dazu verwendet, um die Verbindungen zwischen den einzelnen ICs zu prüfen. Dazu lädt man in die Ausgänge eines ICs ein Bitmuster, um es sogleich an den Eingängen eines mit ihm verbundenen ICs wieder einzulesen. Auf diese Weise können alle Arten von Verbindungsfehlern auf Baugruppenebene erkannt werden.
- **Interner Test:** Diese Betriebsart unterstützt hauptsächlich den Prototypentest und die Diagnose. Hier geht man umgekehrt zum externen Test vor. Das *Boundary-Scan-Register* wird mit Bitmustern für das IC-Innere geladen. Anschließend werden die entsprechenden Testantworten an den Ausgängen des ICs ausgelesen und geprüft.
- **Interner Prüfpfad:** Diese nach dem Standard optionale Betriebsart unterstützt den Test bei der IC-Produktion. Das ist besonders bei sequentiellen Schaltungen von Bedeutung. Zum Testen können über den *TAP* speziell modifizierte Register im IC-Inneren (Prüfpfade) mit beliebigen Werten vorgeladen und wieder ausgelesen werden. Damit ist es möglich, interne Schaltungszustände zu bestimmen und den Testablauf erheblich zu vereinfachen.

3. Diplomarbeit – Tastaturenkoder

Die am Institut durchgeführte Diplomarbeit [3] beschäftigt sich mit der Entwicklung eines Tastaturenkoders für matrixförmige Tastaturen mit 16 Tasten. Bei der Verwendung von mechanischen Tasten sind Maßnahmen zur Entprellung unumgänglich. Dieses Problem wurde im vorliegenden Fall mit einem internen RC-Timer gelöst. Weiters wurde ein RC-Oszillator mitintegriert, der den Takt für die Ablaufsteuerung vorgibt. Der Enkoder verfügt außerdem über eine two-key-roll-over Funktion. Diese erkennt, wenn eine zweite

Taste gedrückt wird, bevor die erste losgelassen wird, und gibt die den beiden Tasten entsprechenden Codes in der richtigen Reihenfolge aus. Die Ausgabe der Daten erfolgt über eine 4 Bit breite Tristate-Schnittstelle mit Handshake-Signal. Realisiert wurde die Schaltung in Standardzellentechnik, nur die analogen Komponenten (RC-Timer, RC-Oszillator und Schmitt-Trigger) wurden als Full-Custom Entwurf erstellt.

4. Projektarbeit – Komparatorschaltung

Im Rahmen eines Elektronik-Projekts [4] wurde eine Komparatorschaltung dimensioniert und eine ausführliche Simulation durchgeführt. Auf Basis dieser Berechnungen wurden zwei verschiedene Layoutvarianten erstellt, mit dem Ziel, den Einfluß unterschiedlicher Transistoranordnungen auf das Mismatch der Transistoren zu untersuchen. Als Vorgabe für die Komparatorschaltung galten folgende Parameter:

- Versorgungsspannung: $V_{DD} = 3...5,5V$ (typ. 5V)
- Temperaturbereich: $T = 0...70^{\circ}C$
- Eingangsoffsetspannung: $V_0 < 1mV$
- Maximale Verzögerungszeit bei $I_{out} = 1mA$: $t_d = 100ns$
- Open-Drain Ausgangsstufe mit $I_{out} = 40mA @ 0,8V$

5. Projektarbeit – EEPROM Teststruktur

Ziel dieser Arbeit [5] war es, Ergebnisse eines erst 1994 im *IEEE Journal of Solid-State Circuits* veröffentlichten Artikels [6] über eine „EEPROM Zell-Struktur für einen Standard CMOS Prozeß“ nachzuvollziehen. Ausgangspunkt für die Überlegungen war dabei der Wunsch, EEPROM Speicherzellen auch in einem Standard-CMOS-Prozeß herstellen zu können. Bisher waren für derartige Speicherzellen aufwendige Prozesse mit mehreren Polysilizium-Layern notwendig. Da diese Verfahren aber wesentlich teurer und fehleranfälliger sind als herkömmliche CMOS Prozesse, sucht man heute nach neuen Wegen. Die vorliegende Arbeit implementiert zwei verschiedene Varianten einer „Single Poly pure CMOS EEPROM Structure“ (SIPPOS). Als „Speichernde Elemente“ werden dabei „Floating Gates“ unterschiedlicher Abmessungen verwendet.

6. Modifizierte Padzelle

In Verbindung mit einem am Institut für Elektronik verwendeten Analog/Digital-Umsetzer wird ein Ausgangstreiber (Padzelle) benötigt, der einen symmetrischen On-Widerstand besitzt. Aus dieser Motivation heraus wurden Berechnungen und Simulationen für einen Spannungsbereich von 3,3 bis 5V und einer Temperatur von 0 bis 70°C durchgeführt. Auf Basis der erhaltenen Daten wurde das Layout einer Padzelle der Firma AMS (Austria Mikro Systeme International AG) entsprechend abgeändert.

7. Zusammenfassung

Die vorgestellten Projektteile wurden zu einem Chip zusammengefügt (Abb. 3) und im Rahmen eines EUROCHIP MPWs (Multi Project Wafer) zur Prototypenfertigung übergeben. Dazu wurde das Maskenband des ASICs bei der zuständigen EUROCHIP Service-

organisation eingereicht, wo die Gruppierung zu einem MPW erfolgt. Nach einer durchschnittlichen Laufzeit von 11 Wochen erhält man 10 ungetestete Muster. Seit dem auch MPW-Projekte österreichischer EUROCHIP-Teilnehmer zu 60% von der EU subventioniert werden (Oktober 94) besteht damit ein kostengünstiger Weg, Prototypen Integrierter Schaltungen herzustellen (siehe Tab. 1). Für den hier verwendeten 1,2µm CMOS-Prozeß von AMS beträgt der Preis 100 ECU/mm². Im Vergleich zu einem nicht über EUROCHIP durchgeführten MPW-Run sind die Kosten um ca. 70% geringer.

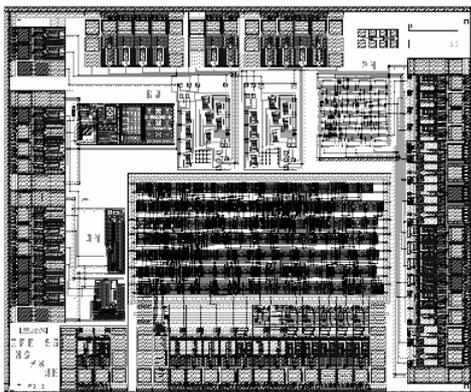


Abb. 3: Chiplayout

Prozeß	1,2µm CMOS 2M 2P (AMS CAE)
Transistoren	5330
Fläche	8,08 mm ²
Kosten	808 ECU (10.900,- öS)
Musterstückzahl	10
Gehäuseform	CLCC 68
Tape out	24. Jänner 1995
Muster erwartet	21. April 1995

Tab. 1: Daten des ASICs

Als Entwicklungswerkzeuge für das ASIC wurden das GDT™-System und die IC-Entwicklungsumgebung V8.4 von Mentor Graphics® eingesetzt.

Danksagung

Die vorliegende Arbeit wurde im Rahmen der Projekte UNICHIP und EUROCHIP durchgeführt. Für deren Finanzierung gilt der Gesellschaft für Mikroelektronik, dem Bundesministerium für Wissenschaft, Forschung und Kunst sowie dem Amt der Steiermärkischen Landesregierung, Abteilung Wirtschaftsförderung, unser aufrichtiger Dank. Besonderer Dank gebührt auch der Firma AMS für die freundliche Zusammenarbeit.

Literaturverzeichnis

- [1] H. J. Wunderlich: „Hochintegrierte Schaltungen: Prüfgerechter Entwurf und Test“, Springer Verlag, 1991, S. 184-220
- [2] H. Bleeker, P. Eijnden, F. Jong: „Boundary-Scan Test: A Practical Approach“, Kluwer Academic Publishers, 1993, pp. 19-50
- [3] P. Hinterberger: „Entwurf eines integrierten Tastaturenkoders mit 1,2µ CMOS Standardzellen“, Diplomarbeit, Nov. 1994, Institut für Elektronik, TU-Graz
- [4] J. Minichshofer: „Entwurf einer Komparatorschaltung für einen 1,2µ CMOS-Prozeß“, Elektronik Projekt, Jul. 1994, Institut für Elektronik, TU-Graz
- [5] K. Jäger: „Untersuchungen zu einer EEPROM Struktur für einen Standard-CMOS-Prozeß“, Elektronik Projekt, Jan. 1995, Institut für Elektronik, TU-Graz
- [6] K. Ohsaki, N. Asamoto, S. Takagaki: „A Single Poly EEPROM Cell Structure for Use in Standard CMOS Processes“, *IEEE J. Solid-State Circuits*, Vol. 29, No. 3, March 1994, pp. 311-316.