

UNICHIP - ASIC Design mit österreichischen Universitäten

N. Kerö, G. Cadek, T. Sauter
Institut für Allgemeine Elektrotechnik und Elektronik, TU Wien,
1040 Wien

Nach einer Vorstellung der Projektziele von UNICHIP werden Rechneraustattung, die zur Verfügung stehenden Softwarepakete und das IC-Meßlabor beschrieben. Weiters wird auf den aktuellen Stand der drei Schwerpunkte des UNICHIP-Projekts: Lehre, Industriekooperation und Forschung eingegangen. Schließlich werden zwei erfolgreiche IC- und Systementwicklungen der Arbeitsgruppe CAD vorgestellt: CMC (Contour Motion Control) IC und XR-III (Extended Redundancy) Field Bus Controller.

1. Projektbeschreibung und -ziele

UNICHIP wurde 1987 von der Arbeitsgruppe CAD des Instituts für Allgemeine Elektrotechnik und Elektronik der TU-Wien vorgeschlagen und seither vom BMWF und der GMe gefördert. (Seit 1988 beteiligt sich das Institut für Elektronik der TU-Graz an UNICHIP). Im Rahmen von UNICHIP werden verschiedene Ziele verfolgt. Zum einen soll die studentische Ausbildung auf dem Gebiet des rechnerunterstützten Entwurfs integrierter Schaltungen und Systeme verbessert werden. Es werden vier zweistündige Seminare angeboten und zahlreiche Diplomarbeiten betreut. Andererseits wendet sich UNICHIP direkt an die Österreichische Elektronikindustrie, insbesondere an Klein- und mittelständige Unternehmen (KMUs), um diesen beim Einsatz von applikationsspezifischen integrierten Schaltungen und dem Erlernen der dafür notwendigen Entwurfstechniken behilflich zu sein. Das Angebot reicht vom Beratungsgespräch bis zum gemeinsam durchgeführten ASIC-Projekt. Schließlich werden im UNICHIP-Projekt eigene Forschungs- und Entwicklungsvorhaben im Rahmen von Diplomarbeiten und Dissertationen durchgeführt.

2. EUROCHIP - Eine wesentliche Erweiterung von UNICHIP

Seit 1989 beteiligen sich vier österreichische Universitätsinstitute am ESPRIT-Projekt EUROCHIP. Die Ziele von EUROCHIP sind denen von UNICHIP ähnlich, es sollte jedoch ursprünglich nur die studentische Ausbildung im VLSI-Entwurf verbessert werden. Zu diesem Zweck wurden den Teilnehmern moderne CAD-Softwarepakete zu stark reduzierten Preisen (bis 90 % Rabatt) für die Ausbildung zur Verfügung gestellt. Ferner ist es im Rahmen von EUROCHIP möglich, integrierte Schaltungen nicht nur zu entwerfen, sondern auch zu sehr günstigen Konditionen mittels Multi-Projekt-Wafern fertigen zu lassen. Durch die Teilnahme an EUROCHIP wurden die mit UNICHIP begonnenen Design-Aktivitäten der Arbeitsgruppe CAD stark aufgewertet, weil jetzt Softwarepakete angeschafft werden konnten, die vorher nicht finanzierbar gewesen waren.

In der Phase II wird dieses Europäische Projekt für KMUs geöffnet werden. Das bedeutet, daß auch innerhalb von Projekten mit industriellen Partnern auf die Fertigung von Prototypen zu günstigen Konditionen zurückgegriffen werden kann. Inwieweit und unter welchen Bedingungen EUROCHIP-Software für industrielle Projekte von Universitätsinstituten verwendbar werden wird, steht derzeit noch nicht fest.

3. Ausstattung

Der Einsatz von CAD-Paketen zum Entwurf integrierter Schaltungen erfordert eine entsprechend umfangreich ausgebaute Hardware-Infrastruktur. Durch die rasante Entwicklung auf dem Workstationsektor, verbunden mit der steigenden Komplexität der bearbeitbaren Probleme, ist die Anschaffung neuester Rechner längstens alle drei Jahre leider unumgänglich.

3.1. Hardware

Derzeit besteht die Rechnerausrüstung aus einem VAX-Cluster mit vier Rechnern, deren Leistungsfähigkeit jedoch für die Durchführung anspruchsvollerer Projekte nicht mehr ausreicht. Diese Maschinen werden derzeit für die Lehre eingesetzt. Die zwei SUN-Sparcstations sind vollständig mit Projekten ausgelastet und leider nicht mehr leistungsfähig genug, für die durch EUROCHIP benutzbaren Pakete (CADENCE, Synopsis). Speziell für die Entwicklung von UPLDs (User Programmable Logic Devices) werden PCs, über ein NOVELL-Netzwerk verbunden, immer intensiver eingesetzt. In Abb. 1 ist die Hardwareausrüstung schematisch dargestellt.

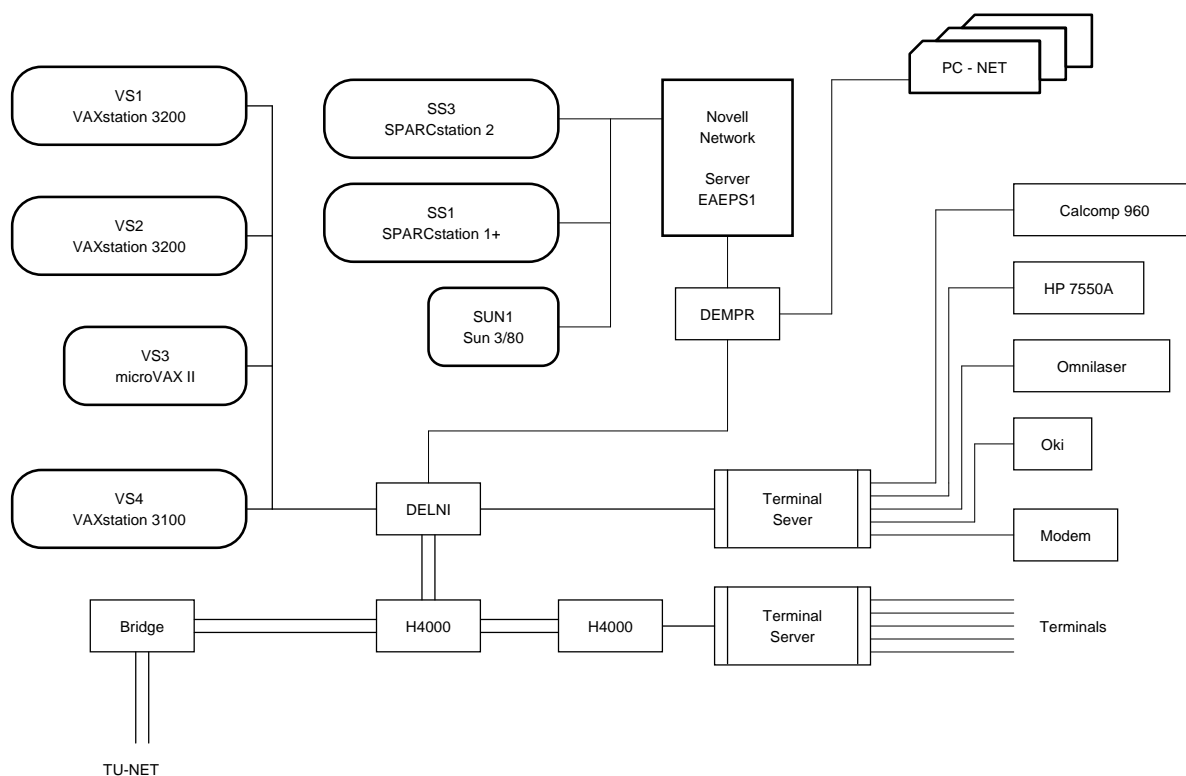


Abb. 1: Hardware-Ausstattung der UNICHIP-Gruppe Wien.

3.2. Software

Die Softwareausrüstung ermöglicht die rechnergestützte Analyse und den Entwurf sowohl digitaler als auch analoger integrierter Schaltungen und Systeme. Nachfolgend sind die vornehmlich verwendeten Softwarepakete aufgeführt. Hierbei muß erwähnt werden, daß für die meisten Programme Wartungsverträge abgeschlossen werden müssen, um Updates und vor allem Unterstützung durch die Hersteller zu gewährleisten.

Analogsimulation	PSpice, HSPICE, MICRO-CAP III
------------------	-------------------------------

PCB-Entwurf	PCAD
UPLD - Entwurf	LOG/iC, ABEL, XILINX, Altera, ViewLogic
VLSI - Entwurf	System HILO, CADENCE - Framework II, Synopsis, ViewLogic
Maschinenbau - CAD	AutoCAD, DesignCAD 2D, DesignCAD 3D, Micro Solids

3.3. Meßlabor

Aus Mitteln der GME sowie des FEI konnten Meßgeräte erworben werden, mit denen speziell integrierte Schaltungen sowohl digital als auch analog vermessen werden können. Diese Ausstattung ist auch für die Ausbildung unerlässlich, weil über EUROCHIP gefertigte ICs als ungetestete Prototypen geliefert werden und daher von den Studenten analog vermessen und digital getestet werden müssen.

3.4. Lehre

Derzeit werden folgende Seminare angeboten:

CAE - Entwurf gedruckter Schaltungen	N. Kerö
CAE - Entwurf programmierb. Integr. Schaltungen	G. Cadek, P. Thorwartl
CAE - Entwurf Integrierter Schaltungen	G. Cadek, R. Schreier
CAE - Testen Integrierter Schaltungen	W. Kausel, F. Prasky

Alle Seminare sind zweistündige Wahllehrveranstaltungen, in denen die Studenten nach einigen einführenden Vorlesungen in kleinen Gruppen (zwei bis drei Teilnehmer) selbständig Entwurfsaufgaben an Workstations lösen müssen. Besonders erfolgreiche Projekte werden im Rahmen von EUROCHIP gefertigt und von den Studenten auch ausgetestet. Es wurden bereits drei Projekte gefertigt.

Ferner betreut die Gruppe zur Zeit acht Diplomanden, die sich mit rechnergestütztem Schaltungsentwurf beschäftigen.

4. Industriekooperation

Ein wesentlicher Schwerpunkt von UNICHIP ist der rasche Know-How-Transfer zu KMUs betreffend den Entwurf integrierter Schaltungen. Derzeit wird in Zusammenarbeit mit der Fa. AKG ein Gate-Array für den professionellen Audioeinsatz entwickelt. Die Komplexität dieses Bausteins liegt bei ca. 50.000 Gates.

In Kooperation mit der Fa. SEMCOTEC wurde unter anderem ein PCM-4 Telephonie-Chipset, bestehend aus einem Quad-Codec einem Quad-SLIC und einem Quad-Power-Chip entwickelt. Zusammen mit Prozeßtechnologen von SEMCOTEC wurde ein Hochvolt - CMOS Prozeß (über 30 V Betriebsspannung) samt Standardzell-Bibliotheken entwickelt.

Auf dem Gebiet der komplexen UPLDs wurden für die Fa. Philips Dictation Systems zahlreiche XILINX- und Altera-Bauelemente erfolgreich entwickelt.

5. Forschungsprojekte

5.1. CMC - Contour Motion Control -IC

Ausgangspunkt für dieses Projekt war ein in Software realisierter Algorithmus zur zeitsynchronen Ansteuerung von vier und mehr Schrittmotoren. In Zusammenarbeit mit der Fa. SEMCOTEC ist eine 4-Achsen-Hartschaum-Heißdrahtschneidemaschine entwickelt worden, die zur Erzeugung von maßhaltigen Modellen aus Hartschaumplatten (beispielsweise für den Schiffbau) verwendet wird. Zur Drahtbewegung werden vier Motoren benötigt, weitere vier zur knickfreien Drahtnachführung. Die Ansteuerung aller Motoren muß zeitsynchron erfolgen. Zur Realisierung war ein VME-Bus-Prozessrechner mit Echtzeitbetriebssystem samt eigener Softwareentwicklung notwendig, weil käufliche Maschinensteuerungen nur für maximal fünf synchrone Achsen (mit der geforderten Genauigkeit und Geschwindigkeitskonstanz) erhältlich sind.

Es werden mit einem CMC-Controller zwei Schrittmotoren synchron so angesteuert werden, daß Bahnvektoren längs vorgegebener Geraden mit einstellbarer Geschwindigkeit abgefahren werden können. Durch Kaskadierung mehrerer CMCs müssen vier oder mehr Achsen zeitsynchron angesteuert werden können. In Abb. 2 ist das Blockschaltbild eines CMC dargestellt.

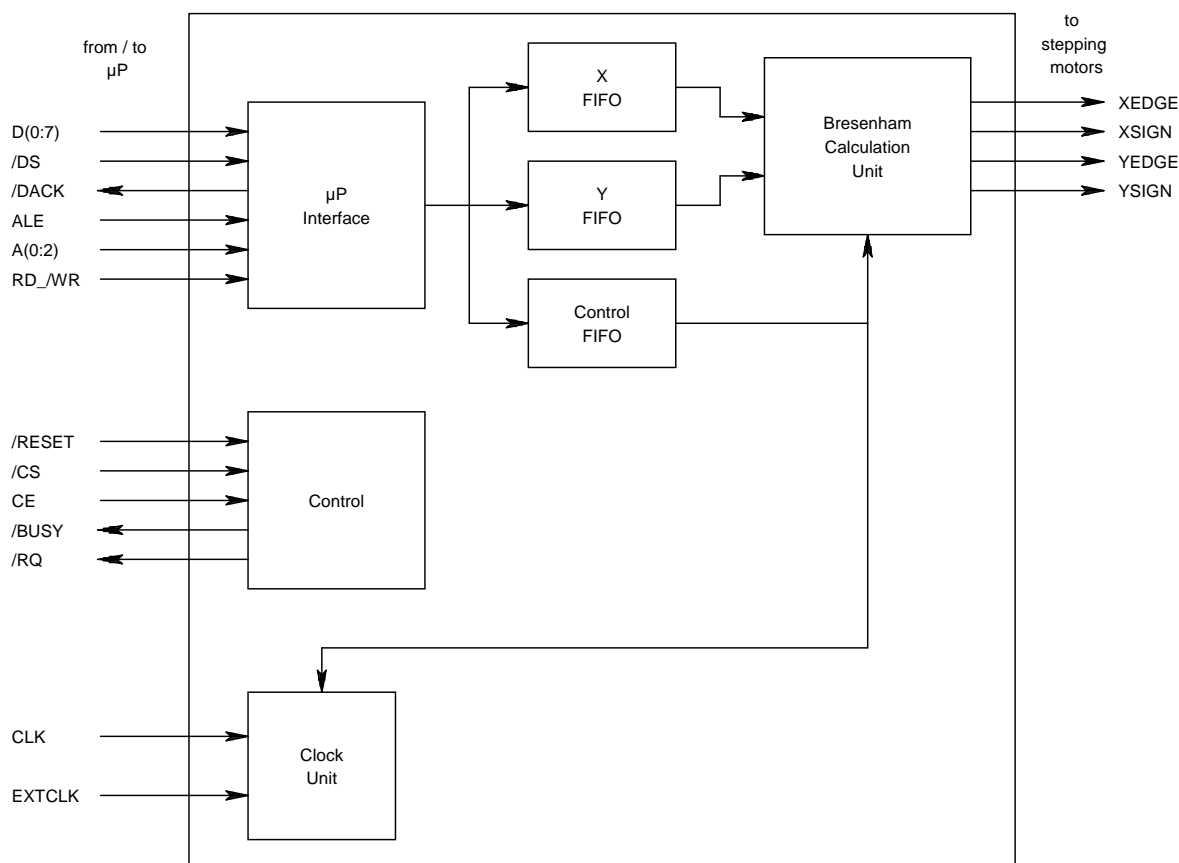


Abb. 2: Blockschaltbild eines Contour Motion Controllers.

In Abb. 3 wird die Zusammenschaltung mehrerer CMCs dargestellt, wobei immer ein CMC im Masterbetrieb zwei Slave-CMCs ansteuert. Diese Konfiguration ist nahezu beliebig tief kaskadierbar und ermöglicht so den Aufbau synchroner Vielachsensysteme.

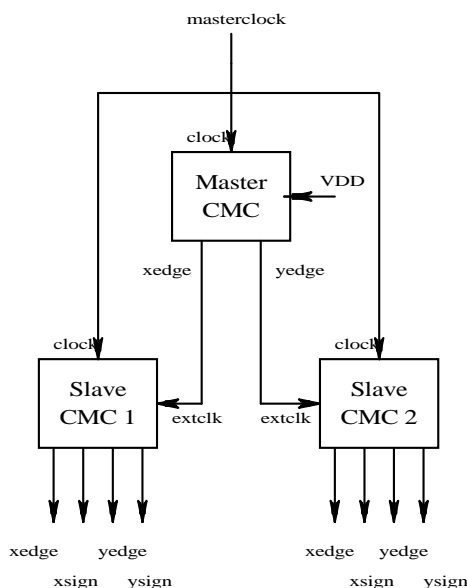


Abb. 3: Kaskadierung von Contour Motion Controllern.

Das Projekt wurde als Diplomarbeit von G. Cadek bearbeitet, innerhalb von 8 Monaten wurde ein funktionsfähiger Prototyp (1.2 μm CMOS, ca. 20.000 Gates) fertiggestellt.

5.2. XR-III Extended Redundancy Field Bus Controller

Ausgangspunkt dieser von T. Sauter durchgeführten Arbeit war es, ein Sensor-Aktor-Bussystem mit mehrfacher Fehlertoleranz zu entwerfen. Dieses Bussystem soll unter erschwerten Umweltbedingungen in Bereichen, wo hohe Datensicherheit gefordert wird, eingesetzt werden und sowohl Übertragungsfehler auf einer Leitung korrigieren als auch den Ausfall von bis zu zwei Leitungen (von drei) ohne Datenverlust tolerieren. Ferner sollen die einzelnen parallelen Übertragungsleitungen auf verschiedenen Wegen verlegbar und damit unterschiedlich lang sein können.

Untersucht man bereits bestehende Feldbussysteme auf ihre Tauglichkeit für den Einsatz als hochverfügbare und sichere Datenübertragungssysteme, stellt man fest, daß jedes bekannte Konzept zumindest ein Merkmal aufweist, das es für einen solchen Anwendungsfall als ungeeignet erscheinen läßt. Es wurde daher ein eigener BUS (**XR-III**) samt Protokoll definiert.

Der **XR-III**-Bus wurde also speziell für die Forderung nach hoher Verfügbarkeit und Datensicherheit entwickelt. Während andere fehlertolerante Bussysteme nach dem Prinzip der passiven Redundanz arbeiten und beim Ausfall einer Leitung auf eine Reserveleitung umschalten, wurde beim **XR-III**-Bus eine aktive Redundanz realisiert. Das bedeutet: ständiger Empfang auf allen Leitungen, Vergleich der Daten untereinander und vor allem *kein Datenverlust* beim Ausfall von bis zu zwei Leitungen. Als Topologie wurde eine Ringstruktur gewählt (siehe Abb. 4). Das hat den entscheidenden Vorteil, daß die Auswirkungen von Störungen (Einstreuungen, Leitungsausfall etc.), lokal, also auf zwei benachbarte Knoten beschränkt, bleiben (siehe Abb. 5).

Durch die Verwendung effizienter Datencodierung auf jeder Leitung können beim **XR-III**-Bus bis zu zwei Fehler in Blöcken von 26 Bit korrigiert werden. Damit wird nicht wie bei anderen Bussystemen unnötig viel Zeit mit dem Wiederholen gestörter Nachrichten verbracht. Weiter gesteigert wird die Datensicherheit durch eine optimale Ausnutzung der Redundanz. Ist zum Beispiel im Schnitt jedes tausendste Bit auf allen Leitungen gestört, tritt ein unkorrigierbarer Fehler im Mittel alle 16,5 Millionen Jahre auf.

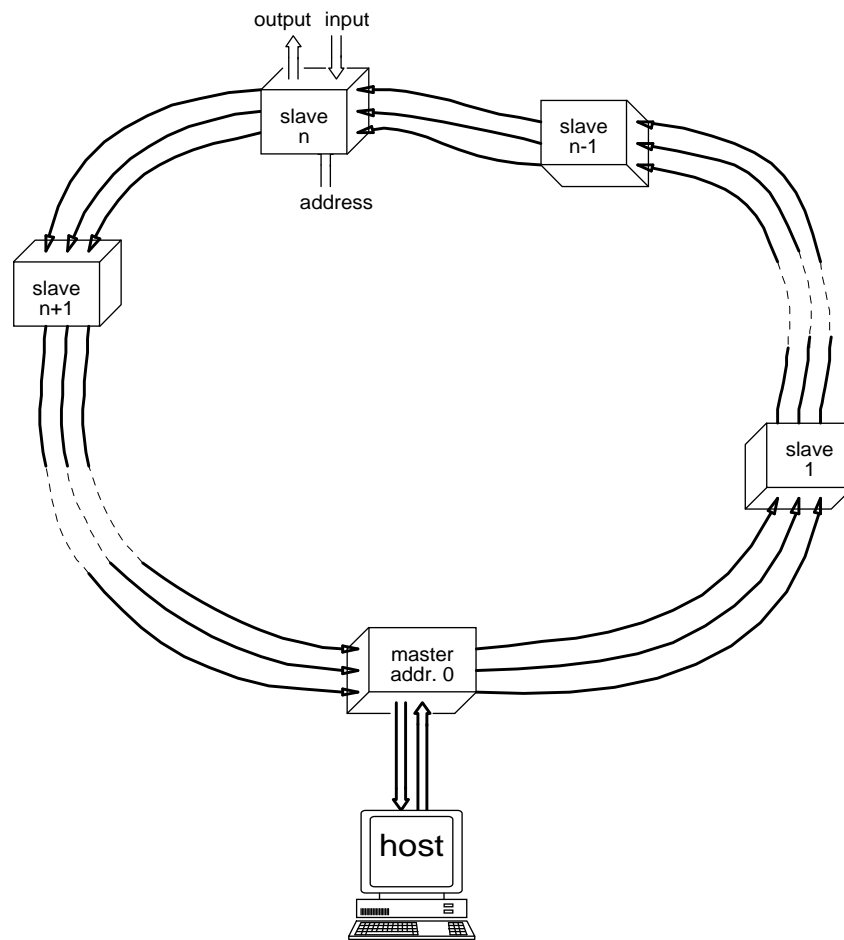


Abb. 4: Topologie des XR-III Extended Redundancy Field Bus.

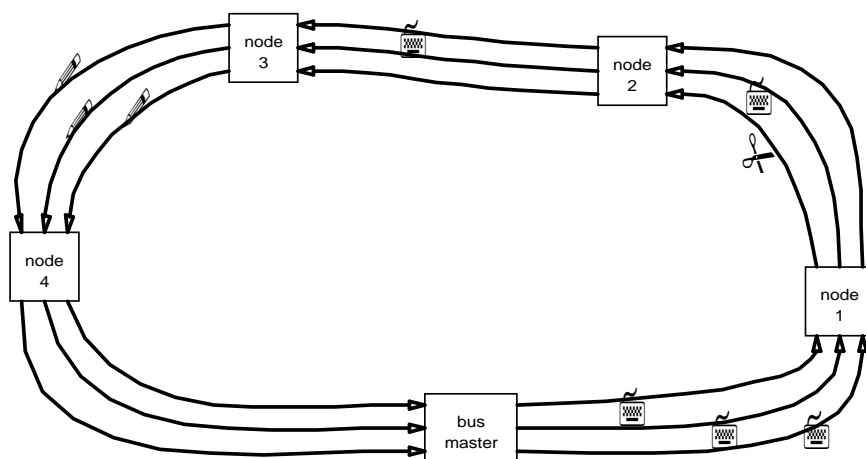


Abb. 5: Einfluß von Störungen auf den XR-III Extended Redundancy Field Bus.

Nachfolgend sind kurz die wichtigsten Eigenschaften des XR-III aufgeführt:

Topologie

- Ringstruktur
- drei parallele, unidirektionale Datenleitungen (damit zweifache Redundanz)
- beliebige Übertragungsmedien durch gleichanteilfreien Leitungscode
- Leitungen auf unterschiedlichen Wegen verlegbar
- bis zu 256 Teilnehmer

Systemeigenschaften

- aktive Redundanz dadurch extrem hohe Verfügbarkeit
- selbständiger Leitungslängenausgleich
- max. 350 m Längensunterschied zwischen zwei Knoten bei 10 MBit/s
- Datenregenerierung in jedem Bussegment
- One-Chip-Controller mit integrierter Peripherie
- 16 digitale I/O und 4 analoge I/O
- Datenraten bis zu 10 MBit/s
- definierte, konstante Durchlaufzeit (ca. 2 ms. bei 10 MBit/s und 256 Knoten)
- uneingeschränkte Echtzeitfähigkeit

protokollunterstützte Eigenschaften

- Master-Slave-Protokoll
- frei programmierbares Polling
- Datentransfer zwischen Slaves möglich
- Definition anwenderspezifischer Befehle möglich
- Broad- und Multicasting von Kommandos und Daten
- objektorientierte Adressierung mit programmierbaren Filtern
- automatische Erkennung und Lokalisierung eines Knotenausfalls
- Erkennung eines Hostausfalls und System-Shutdown möglich
- Informationen über Netztopologie jederzeit abrufbar
- softwaregesteuerte Abschaltung von Leitungen und Sperre von Netzknoten
- zwei verschiedene Interruptmechanismen mit sieben Hierarchiestufen

Die Diplomarbeit von T. Sauter wurde innerhalb von zwölf Monaten mit einem funktionsfähigen Prototyp auf LCA-Basis (XC4010 + XC4005) abgeschlossen. Derzeit existiert ein Demonstrationssystem mit drei Netzknoten, mit dem das komplette Konzept in Meßserien durch Nachbilden von Leitungsstörungen erfolgreich verifiziert werden konnte. Die weiteren Arbeiten konzentrieren sich auf die Implementation des XR-III-Controllers auf einen ASIC.

Literaturverzeichnis

- [1] G. Cadek, "CMC - Contour Motion Control IC", Diplomarbeit am Institut für Allgemeine Elektrotechnik und Elektronik, Juni 1991
- [2] G. Cadek, N. Kerö "CMC - Contour Motion Control IC", SMT-ASIC, '92, Tagungsbd., pp. 713-722
- [3] T. Sauter, "XR-III-Bus und XR-III-Bus-Controller", Diplomarbeit am Institut für Allgemeine Elektrotechnik und Elektronik, Januar 1992