

UNICHIP — ASIC-Design mit Österreichischen Universitäten

N. Kerö, G. Cadek, T. Sauter, R. Schreier
Institut für Allgemeine Elektrotechnik und Elektronik, TU-Wien
1040 Wien

1. Einleitung

Im nachfolgenden Bericht werden die in den letzten zwei Jahren erreichten Fortschritte und Leistungen von UNICHIP beschrieben. Er versteht sich als direkte Weiterführung von *UNICHIP — ASIC Design mit Österreichischen Universitäten*, vorgestellt in Großarl 1993 [1]. Es wird zum allgemeinen Verständnis eingangs nochmals kurz auf die Projektziele eingegangen. UNICHIP wird nunmehr seit 1988 als interuniversitäres Projekt an zwei Instituten (Institut für Elektronik der TU-Graz, Institut für Allgemeine Elektrotechnik und Elektronik der TU-Wien) bearbeitet. Ziel von UNICHIP ist es, den Einsatz kundenspezifischer integrierter Bauelemente (ASICs) sowie die dazu notwendigen rechnergestützten Entwurfstechniken zu fördern. Hierzu mußte zunächst die studentische Lehre auf diesem Gebiet intensiviert werden. Dies wird sowohl durch Lehrveranstaltungen als auch durch Diplomarbeiten und weiterführend natürlich auch durch Forschungsprojekte erreicht. Um Entwicklungsingenieure in der österreichischen klein- und mittelständigen Industrie mit diesem Gebiet vertraut zu machen, ist jedoch zusätzlich neben Informationsveranstaltungen auch das gemeinsame Durchführen von Entwurfsprojekten notwendig. Nur so kann Know-how effizient und rasch transferiert werden.

2. Forschung

2.1 XR-III

Bereits 1993 [1] wurde der XR-III in Großarl vorgestellt. Dieses Projekt wird seit 1992 von Thilo Sauter und Nikolaus Kerö bearbeitet. Es wurde ein neuer, mehrfach aktiv redundanter Sensor-Aktor-Feldbus mit dem Ziel, den Ausfall eines Übertragungskanal ohne Datenverlust zu tolerieren, spezifiziert. Ein Prototyp, der auf Basis von programmierbaren logischen Bauelementen realisiert wurde, wurde eingehenden Testreihen mit simulierten Leitungsstörungen unterzogen. Hierzu mußte die Umgebung durch Aufbau von teilweise ebenfalls komplexen programmierbaren Logikschaltkreisen nachgebildet werden, um Aussagen über die Richtigkeit des Konzepts zu erhalten.

Die Meßreihen wurden schließlich auch noch durch Erstellen mathematischer Modelle bestätigt, sodaß die Entwicklung als erfolgreich abgeschlossen angesehen werden kann [2], [3]. Es soll hier erwähnt werden, daß sich die Suche nach industriellen Partnern für dieses Projekt als unerwartet schwierig erwiesen hat. Das Bewußtsein für die Vorteile von Feldbussen mit ausfallssicheren Verbindungsleitungen ist leider noch nicht in dem Maß vorhanden, wie es für eine rasche Vermarktung des XR-III notwendig wäre [4], [5]. Die Umsetzung des XR-III Controllers wurde im Rahmen einer Diplomarbeit, die im März 1995 erfolgreich abgeschlossen wurde, durchgeführt. Mit diesem ASIC, der 1995 zum Test vorliegen wird, soll ein Demonstrationssystem aus 10 Knoten aufgebaut werden.

2.2 Digitales (pre-loaded) Filter für die Gammaskopie

Zusammen mit dem Atominstitut der Österreichischen Universitäten (Prof. Westphal) konnte ein digitaler Signalverarbeitungsbaustein auf LCA-Basis realisiert werden. In der Gammaskopie werden zur automatischen Adaptierung der Rauschfilterung pre-loaded Filter eingesetzt. Ziel dieses Projektes war es, eine vorhandene, analoge Schaltung durch eine digitale Realisierung des Filters mittels komplexer, programmierbarer Logikbausteine zu ersetzen. Die vorgeschlagene Architektur wurde analysiert und mittels simulierter Detektorimpulse verifiziert. Innerhalb von vier Wochen konnten wir dieses Design erfolgreich abschließen und so der Gruppe um Prof. Westphal wertvolle Einstiegsunterstützung für den Einsatz komplexer programmierbarer Bauelemente bieten [6], [7], [8].

3. Lehre

Die Arbeitsgruppe CAD kündigt zusammen mit dem Institut für Mikroelektronik einen sogenannten CAE-Lehrveranstaltungszyklus (Computer Aided Engineering) an, der aus insgesamt 7 Lehrveranstaltungen besteht. Von unserer Gruppe werden von diesem Zyklus drei 2-stündige und ein 4-stündiges Seminar, die sich alle mit dem rechnergestützten Schaltungsentwurf beschäftigen, betreut. Im weiteren soll nur auf diese eingegangen werden, wobei den Studierenden für eine umfassende Ausbildung der Besuch aller Lehrveranstaltungen angeraten wird. In der nachfolgenden Tabelle sind die verschiedenen Seminare aufgelistet:

Std. WS	Std. SS	Titel
	2.0	CAE — Entwurf gedruckter Schaltungen
2.0		CAE — Entwurf programmierbarer Integrierter Schaltungen
	4.0	CAE — Entwurf Integrierter Schaltungen
2.0		CAE — Testen Integrierter Schaltungen

Innerhalb dieser vier Seminare wird im Idealfall durchgängig ein Projekt bearbeitet. Das bedeutet, daß ein integrierter Schaltkreis im Sommersemester entworfen, über die Ferien gefertigt und Wintersemester getestet wird. Parallel zur Schaltkreisentwicklung wird eine Printplatte für den Testaufbau entworfen. Diese Form der Ausbildung auf Projektebene ist uns bereits mit über sieben Entwürfen erfolgreich gelungen.

Das Seminar CAE — Entwurf programmierbarer integrierter Schaltungen stellt hierbei eine Ausnahme dar. Neben der Möglichkeit, ein Projekt mit einem anwenderprogrammierbaren Logikbaustein als Prototyp für einen ASIC zu entwerfen, verfolgt diese Lehrveranstaltung noch ein anderes Ziel. Derzeit sind einige unterschiedliche Bauelementarchitekturen, die jede ihr eigenes Anwendungsgebiet haben, am Markt erhältlich. Um den Entwurf von diesen Bauelementen sinnvoll unterrichten zu können, ist es notwendig, mehrere Bauelementfamilien mit ihren jeweiligen Vor- und Nachteilen vorzustellen. Es ist der Arbeitsgruppe gelungen, von allen namhaften Herstellern Entwurfspakete zur Verwendung in der Lehre zur Verfügung gestellt zu bekommen [9].

4. Industriekooperation

4.1 Informationsveranstaltungen

In Jänner 1993 wurde in Zusammenarbeit mit dem Außeninstitut der TU-Wien ein ein-tägiger Hochschulkurs mit dem Titel *Rechnerunterstützter Schaltungsentwurf* abgehalten. Die Veranstaltung wurde zwar nur von 12 Teilnehmern besucht, das Echo war durchwegs positiv. Dieser Hochschulkurs wurde für Ende Oktober nochmals angekündigt, es gab dafür jedoch leider kein Interesse mehr. Die Motivation der Entwicklungsingenieure, sich über neue Entwurfstechniken und Kooperationsmöglichkeiten zu informieren, ist offensichtlich sehr gering. Hierbei sei erwähnt, daß der Fachverband der Elektro- und Elektronikindustrie ähnliche Erfahrungen gemacht hat. Da wir die einschlägigen Industriebetriebe über Hochschulkurse und ähnliche Veranstaltungen offenbar nicht informieren konnten, wurde im weiteren versucht, Firmen direkt mit Einzelvorträgen anzusprechen.

4.2 BAP-ASIC (AKG)

Das zusammen mit AKG seit 1992 bearbeitete Entwurfsprojekt konnte mit dem Test der Prototypen im Oktober 1993 erfolgreich abgeschlossen werden. Es wurde ein kundenspezifischer, digitaler Signalprozessor für das von AKG entwickelte Verfahren zur räumlichen Klangwahrnehmung mittels Kopfhörern (BAP), entworfen. Dieses Projekt darf als wichtiger Erfolg von UNICHIP bewertet werden. Durch intensive Digitalsimulation konnte nicht nur ein fehlerfreier ASIC fertiggestellt werden, dieses Projekt wurde auch in enger Zusammenarbeit mit Entwicklungsingenieuren der Firma AKG bearbeitet. Durch diese Einbindung in den Entwurfsprozeß war ein Know-how-Transfer überhaupt erst möglich. Das Ergebnis dieses Projekts wurde auf der EUROASIC-94 vorgestellt [10].

4.3 PCM-4 Chipset (Semcotec)

Durch die langjährige erfolgreiche Zusammenarbeit mit der Firma Semcotec wurde mit der Entwicklung von integrierten Schaltkreisen für die Telekommunikation wichtiges Know-how auf dem Gebiet des Entwurfs analoger Full-Custom-ICs erworben. Es wurde ein PCM-4-Chipset bestehend aus Quad-Codec, Quad-Slic und Dual-Power-ASIC entwickelt und zur Serienreife geführt [11], [12]. Derzeit werden weitere digitale Telekommunikations-ASICs entworfen.

4.4 Frequentis

Die Zusammenarbeit mit Frequentis, einer Wiener Firma, die sich mit der Entwicklung von Vermittlungssystemen für die Flugsicherung beschäftigt, ist ein ausgezeichnetes Beispiel für einen erfolgreichen Know-how-Transfer. Ausgehend von einem Vortrag über die Möglichkeiten und Vorteile, die applikationsspezifische integrierte Schaltkreise auch für Produkte mit kleinen Stückzahlen bieten, wurden wir mit der Durchführung einer Kurzstudie über die Einsatzmöglichkeiten von ASICs betraut, die wir in Zusammenarbeit mit Entwicklungsingenieuren von Frequentis durchgeführt haben. Diese Studie ergab für drei Baugruppen konkrete technische und wirtschaftliche Vorteile durch den Einsatz von ASICs, die aber auf Grund der beschränkten Zeitvorgabe nicht exakt quantifiziert werden konnten.

Im Anschluß wurde das auf Grund der derzeitigen Auftragslage wichtigste Projekt ausgewählt und die Kostenvorteile eines ASIC durch eine Feasibility-Studie quantifiziert. Derzeit wird dieser ASIC — es handelt sich um einen integrierten analogen Headset-Verstärker-ASIC — in Zusammenarbeit mit Frequentis entwickelt.

4.5 PCC Pattern Classification Coprocessor (Philips Dictation Systems)

Auf dem Gebiet der komplexen, programmierbaren integrierten Schaltungen wurden im Rahmen der Zusammenarbeit mit Philips Dictation Systems Algorithmen zur digitalen Verarbeitung von Sprachsignalen in Hardware erfolgreich realisiert. Es konnten damit Verarbeitungszeiten um einen Faktor 50 verkürzt werden [13]. Unseren Partner kann man zwar nicht als Klein- oder Mittelbetrieb bezeichnen, zu Projektbeginn war jedoch das erforderliche Design-Know-how nur in unserer Gruppe verfügbar und wir konnten dieses Projekt bis zur Serienreife abschließen. Im ersten Halbjahr 1995 werden 1500 Stück dieser Baugruppen in Österreich produziert werden. Dafür mußte der für die Prototypen verwendete programmierbare Logikbaustein in einem maskenprogrammierten ASIC umgesetzt werden.

Literaturverzeichnis

- [1] N. Kerö, G. Cadek, T. Sauter, „UNICHIP — ASIC Design mit österr. Universitäten“, *Grundlagen und Technologie elektronischer Bauelemente*, Großarl 1993.
- [2] T. Sauter, „Feldbus für sichere Übertragung in Netzen“, *Synergie*, Dec. 1993.
- [3] T. Sauter, „Auf daß das Netz halte“, *TECH in TIME*, Dec. 1993, pp. 28 – 30.
- [4] T. Sauter, N. Kerö, „XR-III, ein fehlertoleranter Feldbus“, *e&i*, to appear.
- [5] T. Sauter, N. Kerö, „Majority Manchester Decoding for Active Redundant Data Transmission“, *IEEE-Symp. on Advances in Comp. and Comm.*, to appear.
- [6] G.P. Westphal, G.R. Cadek, N. Kerö, Th. Sauter, and P.C. Thorwartl, „Digital Implementation of the Preloaded Filter Pulse Processor“, *Journal of Radioanalytical Chemistry*, to appear.
- [7] G.R. Cadek, P.C. Thorwartl, „Experiences of using XBLOX for Implementing a Digital Filter Algorithm“, in *Proc. of 4th Int. Workshop on Field Programmable Logic and Applications*, Prague, Sep. 1994.
- [8] G.R. Cadek, N. Kerö, T. Sauter, P.C. Thorwartl, and G.P. Westphal, „Systementwurf eines Digitalfilters für die hochauflösende Gammaspektrometrie“, *Austro-Chip'94*, pp. 92 – 95.
- [9] G.R. Cadek and P.C. Thorwartl, „UPLDs in der Lehre“, *AUSTRO-CHIP '93*, IIG-Report-Series, Jun. 1993, pp. 8 – 12.
- [10] G.R. Cadek and N. Kerö, „DAP — A Digital Audio Processor“, *EDAC-ETC-EUROASIC-94*, pp. 73 – 77.
- [11] W. Kausel, „HCMOS 4 Channel Combo“, *MIEL-SD '92*, pp. 115 – 120.
- [12] W. Kausel and H. Kremser, „4-Channel CMOS Subscriber Line Interface Kit“, *MIEL-SD'94*, pp. 91 – 96.
- [13] P.C. Thorwartl, „Distance Calculator“, *AUSTRO-CHIP'93*, IIG-Report-Series, Jun. 1993, pp. 19 – 23.